

(3) Japanese Patent Application Laid-Open No. 2001-202269

The following is English translation of an extract from the above-identified document relevant to the present application.

This invention speeds up debugging control of multi microprocessors.

5 Debugging control data is transmitted from a host computer 11 to a debugging control device 12, a debugging control signal conversion unit 13 converts the data to a recognizable signal to a microprocessor and transmits the signal to a control data managing unit 14, and the control data managing unit 14 recognizes and extracts microprocessors to which debugging control is requested and transmits the debugging
10 control data in parallel to the microprocessors to which debugging control is requested.
After debugging control is executed in the microprocessors, individual debugging control result data are transmitted to the debugging control device 12. A control result data managing unit 15 receives the individual debugging control result data in parallel, put together into debugging control result data and transmits the debugging control result data
15 to the debugging control signal conversion unit 13, and the debugging control signal conversion unit 13 converts the data to a recognizable signal to the host computer 11 and transmits the signal to the host computer 11.

(19) 日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2001-202269

(P2001-202269A)

(43) 公開日 平成13年7月27日 (2001.7.27)

(51) Int.Cl.⁷
G 0 6 F 11/28

識別記号

15/177 6 7 8

F I
G 0 6 F 11/28

15/177 6 7 8 H

テマコト(参考)
J 5 B 0 4 2
L 5 B 0 4 5

6 7 8 H

審査請求 有 請求項の数7 O.L (全8頁)

(21) 出願番号 特願2000-10803(P2000-10803)

(71) 出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(22) 出願日 平成12年1月19日 (2000.1.19)

(72) 発明者 武田 治
東京都港区芝五丁目7番1号 日本電気株式会社内

(74) 代理人 100082935

弁理士 京本 直樹 (外2名)

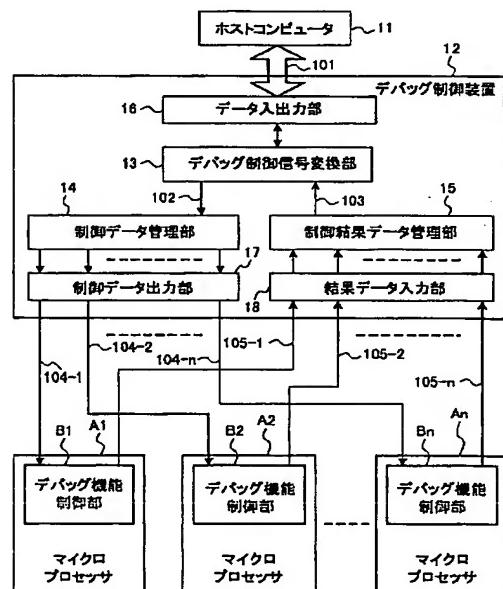
F ターム(参考) 5B042 GA11 HH01
5B045 BB04 BB47

(54) 【発明の名称】 デバッグ制御装置およびデバッグ制御方法

(57) 【要約】

【課題】複数マイクロプロセッサのデバッグ制御を高速化する。

【解決手段】ホストコンピュータ11からデバッグ制御データをデバッグ制御装置12に送信し、デバッグ制御信号変換部13がマイクロプロセッサにおいて認識可能な信号に変換して制御データ管理部14へ送り、制御データ管理部14がデバッグ制御要求されたマイクロプロセッサを認識し抽出してデバッグ制御要求されたマイクロプロセッサに対して並列にデバッグ制御データを送信する。マイクロプロセッサでデバッグ制御が実行された後に個別デバッグ制御結果データがデバッグ制御装置12へ送信される。個別デバッグ制御結果データを制御結果データ管理部15が並列に受信してまとめてデバッグ制御結果データを作成してデバッグ制御信号変換部13へ送信し、デバッグ制御信号変換部13がホストコンピュータ11が認識できる信号に変換して送信する。



101: データ送受信バス

102: デバッグ制御信号線

103: デバッグ結果信号線

104-1, 104-2, 104-n: 個別デバッグ制御信号線

105-1, 105-2, 105-n: 個別デバッグ結果信号線

【特許請求の範囲】

【請求項1】 ホストコンピュータからデバッグ制御内容を示すデバッグ制御データを受信してデバッグ対象マイクロプロセッサが認識できる信号に変換して前記デバッグ対象マイクロプロセッサに送信し、前記デバッグ対象マイクロプロセッサから前記デバッグ制御データに基づきデバッグ制御された結果データを受信して前記ホストコンピュータが認識できる信号に変換して前記ホストコンピュータに送信するデバッグ制御装置において、

前記デバッグ制御データを複数のデバッグ対象マイクロプロセッサに対して並列に送信する制御データ管理部と、

前記複数のデバッグ対象マイクロプロセッサから並列に受信した複数の個別デバッグ制御結果データをまとめてデバッグ制御結果データを生成する制御結果データ管理部とを備えることを特徴とするデバッグ制御装置。

【請求項2】 前記制御データ管理部が、複数のデバッグ対象マイクロプロセッサに対してデバッグ制御データを同時に送信する請求項1記載のデバッグ制御装置。

【請求項3】 前記制御結果データ管理部が、複数のデバッグ対象マイクロプロセッサから複数の個別デバッグ制御結果データを同時に受信する請求項1記載のデバッグ制御装置。

【請求項4】 ホストコンピュータとの間でデータを出入するデータ入出力部と、

複数のデバッグ対象マイクロプロセッサに対応して設けられ制御データを出力する制御データ出力部と、

複数のデバッグ対象マイクロプロセッサに対応して設けられ結果データを入力する個別結果データ入力部と、

前記データ入出力部を介して前記ホストコンピュータから受信したデバッグ制御内容を示すデバッグ制御データから前記デバッグ対象マイクロプロセッサのうちデバッグ制御要求されたマイクロプロセッサを認識し抽出してこれらデバッグ制御要求されたマイクロプロセッサの制御部へ前記デバッグ制御データを前記制御データ出力部を介して並列に送信する制御データ管理部と、

前記デバッグ制御要求されたマイクロプロセッサがそれに対する前記デバッグ制御データに基づいてマイクロプロセッサのデバッグ制御を実行した結果であるそれその個別デバッグ制御結果データを前記個別結果データ入力部を介して並列に受信しまとめて前記デバッグ制御結果データを生成し前記データ入出力部を介して前記ホストコンピュータに送信する制御結果データ管理部とを備えることを特徴とするデバッグ制御装置。

【請求項5】 ホストコンピュータからデータ入出力部を介してデバッグ制御内容を示すデバッグ制御データをデバッグ制御装置に送信する第1のステップと、

前記デバッグ制御装置が、前記デバッグ制御データを受信してデバッグ制御要求されたマイクロプロセッサを認識し抽出して複数のデバッグ対象マイクロプロセッサの

うち前記デバッグ制御要求されたマイクロプロセッサに對してのみに前記デバッグ制御データを送信する第2のステップと、

前記デバッグ制御要求されたマイクロプロセッサのデバッグ機能制御部が、受信した前記デバッグ制御データに基づいてマイクロプロセッサのデバッグ制御を実行しマイクロプロセッサ内部のデバッグ制御実行結果である個別デバッグ制御結果データを前記デバッグ制御装置へ送信する第3のステップと、

前記デバッグ制御装置が、前記デバッグ制御要求されたマイクロプロセッサのそれぞれから前記個別デバッグ制御結果データを並列に受信してまとめてデバッグ制御結果データを生成し前記ホストコンピュータへ送信する第4のステップと、

前記ホストコンピュータが、前記デバッグ制御結果データを受信し要求したデバッグ制御に対する実行結果を得る第5のステップとを備えることを特徴とするデバッグ制御方法。

【請求項6】 ホストコンピュータとの間でデータを出入するデータ入出力部と、

複数のデバッグ対象マイクロプロセッサに対応して設けられ制御データを出力する制御データ出力部と、

複数のデバッグ対象マイクロプロセッサに対応して設けられ結果データを入力する個別結果データ入力部と、前記データ入出力部を介して前記ホストコンピュータから受信したデバッグ制御内容を示すデバッグ制御データをデバッグ対象マイクロプロセッサが認識可能な信号に変換し、またデバッグ制御要求されたマイクロプロセッサのデバッグ制御結果データを前記ホストコンピュータが認識可能な信号に変換して前記データ入出力部を介して前記ホストコンピュータに送信するデバッグ制御信号変換部と、

前記デバッグ制御信号変換部から変換されたデバッグ制御データを受信し内容から前記デバッグ対象マイクロプロセッサのうちデバッグ制御要求されたマイクロプロセッサを認識し抽出してこれらデバッグ制御要求されたマイクロプロセッサの制御部へ前記デバッグ制御データを前記制御データ出力部を介して並列に送信する制御データ管理部と、

前記デバッグ制御要求されたマイクロプロセッサがそれに対する信号変換後のデバッグ制御データに基づいてマイクロプロセッサのデバッグ制御を実行した結果であるそれその個別デバッグ制御結果データを前記個別結果データ入力部を介して並列に受信しまとめて前記デバッグ制御結果データを生成し前記デバッグ制御信号変換部へ送信する制御結果データ管理部とを備えることを特徴とするデバッグ制御装置。

【請求項7】 ホストコンピュータからデータ入出力部を介してデバッグ制御内容を示すデバッグ制御データをデバッグ制御信号変換部に送信する第1のステップと、

前記デバッグ制御信号変換部が、前記デバッグ制御データをデバッグ対象マイクロプロセッサ内蔵するデバッグ機能制御部において認識可能な信号に変換して制御データ管理部へ送信する第2のステップと、

前記制御データ管理部が、信号変換後のデバッグ制御データからデバッグ制御要求されたマイクロプロセッサを認識し抽出して複数のデバッグ対象マイクロプロセッサのうち前記デバッグ制御要求されたマイクロプロセッサに対してのみに前記信号変換後のデバッグ制御データを送信する第3のステップと、

前記デバッグ制御要求されたマイクロプロセッサの前記デバッグ機能制御部が、受信した前記信号変換後のデバッグ制御データに基づいてマイクロプロセッサのデバッグ制御を実行しマイクロプロセッサ内部のデバッグ制御実行結果である個別デバッグ制御結果データを制御結果データ管理部へ送信する第4のステップと、

前記制御結果データ管理部が、前記デバッグ制御要求されたマイクロプロセッサのそれから前記個別デバッグ制御結果データを並列に受信してまとめてデバッグ制御結果データを作成し前記デバッグ制御信号変換部へ送信する第5のステップと、

前記デバッグ制御信号変換部が、前記デバッグ制御結果データを前記ホストコンピュータが認識できる信号に変換して前記ホストコンピュータへ送信する第6のステップと、

前記ホストコンピュータが信号変換後のデバッグ制御結果データを受信し要求したデバッグ制御に対する実行結果を得る第7のステップとを備えることを特徴とするデバッグ制御方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、デバッグ制御装置およびデバッグ制御方法に関し、特に複数のマイクロプロセッサのデバッグ制御の高速化を実現するデバッグ制御装置およびデバッグ制御方法に関する。

【0002】

【従来の技術】従来、複数マイクロプロセッサのデバッグ制御には、各マイクロプロセッサ間をシリアルに接続して制御する方法が使われている。図3は従来の複数マイクロプロセッサのデバッグシステムのブロック図である。従来の複数マイクロプロセッサのデバッグシステムにおいては、ホストコンピュータ31が、データ送受信バス301を介してデバッグ制御データをデバッグ制御信号変換部32へ送る。デバッグ信号変換部32では、ホストコンピュータ31から送信されたデバッグ制御データを、デバッグ対象マイクロプロセッサC1、C2・・・Cnが内蔵するデバッグ機能制御部D1、D2・・・Dnで認識可能な信号に変換する。信号変換後のデバッグ制御データは、デバッグ制御信号線302-1によってマイクロプロセッサC1のデバッグ機能制御部D1へ

10

20

30

40

40

50

へ送られ、デバッグ制御をマイクロプロセッサC1に対して行なった後、デバッグ制御結果データを付加したデータがデバッグ制御信号線302-2によりマイクロプロセッサC2のデバッグ機能制御部D2へ送られる。以下同様にしてn個目のマイクロプロセッサCnのデバッグ機能制御部Dnまで送られ、デバッグ制御結果データがデバッグ制御信号線302-(n+1)を介してデバッグ制御信号変換部32へ入力される。デバッグ制御信号変換部32は、デバッグ機能制御部D1、D2・・・Dnによって付加されたデバッグ制御結果データをホストコンピュータ31で認識可能な信号に変換し、データ送受信バス301を介してホストコンピュータ31へ送る。これにより、ホストコンピュータ31では、要求したデバッグ制御に対する実行結果を得る。

【0003】

【発明が解決しようとする課題】図3の従来の複数マイクロプロセッサのデバッグシステムにおいては、デバッグ対象となるマイクロプロセッサの数が増えるにつれて、ホストコンピュータ31がデバッグ制御コマンドを送信してからデバッグ制御実行結果を得るまでの処理時間が増大することである。これはデバッグ対象マイクロプロセッサC1～Cnのうちの1個のマイクロプロセッサに対して実際にデバッグ制御処理を行うときにも同様で、処理時間はデバッグ対象として接続されたマイクロプロセッサ数に依存して増大する。これは、各マイクロプロセッサC1、C2・・・Cnに対するデバッグ制御信号線302-1、302-2、302-n、302-(n+1)がシリアルに接続されているために、信号伝播経路が長くなっていること、および個別のマイクロプロセッサに対して制御を行ないたい場合にも、デバッグ制御データが全てのマイクロプロセッサを経由しなければならないことに起因している。

【0004】本発明の目的は、デバッグ対象のマイクロプロセッサが複数であるときにも、デバッグ対象のマイクロプロセッサが1個であるときと同等の処理時間で高速にデバッグ制御処理できるデバッグ制御処理装置およびデバッグ制御処理方法を提供することにある。

【0005】

【課題を解決するための手段】本発明のデバッグ制御装置は、ホストコンピュータからデバッグ制御内容を示すデバッグ制御データを受信してデバッグ対象マイクロプロセッサが認識できる信号に変換して前記デバッグ対象マイクロプロセッサに送信し、前記デバッグ対象マイクロプロセッサから前記デバッグ制御データに基づきデバッグ制御された結果データを受信して前記ホストコンピュータが認識できる信号に変換して前記ホストコンピュータに送信するデバッグ制御装置において、前記デバッグ制御データを複数のデバッグ対象マイクロプロセッサに対して並列に送信する制御データ管理部と、前記複数のデバッグ対象マイクロプロセッサから並列に受信した

複数の個別デバッグ制御結果データをまとめてデバッグ制御結果データを生成する制御結果データ管理部とを備えている。

【0006】

【発明の実施の形態】次に、本発明の一実施の形態について図面を参照して詳細に説明する。図1は本発明のデバッグ制御装置を備える複数マイクロプロセッサのデバッグシステムの全体ブロック図である。複数マイクロプロセッサのデバッグシステムは、ホストコンピュータ11と、デバッグ制御装置12と、それぞれにデバッグ機能制御部を備えるデバッグ対象マイクロプロセッサA1, A2...Anと、デバッグ制御装置12とマイクロプロセッサA1, A2...Anのそれとを接続する個別デバッグ制御信号線104-1, 104-2...104-nと、同様にデバッグ制御装置12とマイクロプロセッサA1, A2...Anのそれとを接続する個別デバッグ結果信号線105-1, 105-2...105-nとで構成されている。

【0007】また、デバッグ制御装置12は、デバッグ制御信号変換部13と、制御データ管理部14と、データ入出力部16と、制御データ出力部17と、結果データ入力部18と、デバッグ制御信号変換部13と制御データ管理部14とを接続するデバッグ制御信号線102と、制御結果データ管理部15と、制御結果データ管理部15とデバッグ制御信号変換部13とを接続するデバッグ結果信号線103とを備えている。

【0008】データ入出力部16は、データ送受信バス101を介してホストコンピュータとの間でデータ信号を入出力する。制御データ出力部17は、デバッグ対象マイクロプロセッサの個数nに対応する個数nの出力手段を有し、結果データ入力部18は、デバッグ対象マイクロプロセッサの個数nに対応する個数nの入力手段を有する。

【0009】デバッグ制御信号変換部13は、外部のホストコンピュータ11からデータ送受信バス101およびデータ入出力部16を介してデバッグ制御データを受信し、デバッグ対象マイクロプロセッサの認識可能な信号に変換し、デバッグ制御信号線102を介して制御データ管理部14へ送信する。また、デバッグ制御信号変換部13は、制御結果データ管理部15からデバッグ結果信号線103を介して受信したデバッグ制御結果データをホストコンピュータ11が認識可能な信号に変換して、データ入出力部16およびデータ送受信バス101を介してホストコンピュータ11へ送信する。

【0010】制御データ管理部14は、デバッグ制御信号変換部13から受信したデバッグ制御データからデバッグ制御要求されたマイクロプロセッサを認識して抽出し、制御データ出力部17および個別デバッグ制御信号線104-1, 104-2...104-nのうちのデバッグ制御要求されたマイクロプロセッサへ接続する個

別デバッグ制御信号線を介してデバッグ制御要求されたマイクロプロセッサの制御部へ並列にデバッグ制御データを送信する。

【0011】デバッグ対象であるn個のマイクロプロセッサA1, A2...Anが内蔵するデバッグ機能制御部B1, B2...Bnはそれぞれ独立して動作し、制御データ出力部17から個別デバッグ制御信号線104-1, 104-2...104-nを介してデバッグ制御データを受信したときにはこれに基づいてマイクロプロセッサのデバッグ制御を実行してその結果である個別デバッグ制御結果データを個別デバッグ結果信号線105-1, 105-2...105-nを介して結果データ入力部18へ送信する。

【0012】制御結果データ管理部15は、デバッグ制御要求されたマイクロプロセッサの制御部から個別デバッグ結果信号線および結果データ入力部18を介して並列に受信した個別デバッグ制御結果データをまとめてデバッグ制御結果データとし、デバッグ結果信号線103を介してデバッグ制御信号変換部13へ送信する。

【0013】次に、本発明のデバッグ制御装置によるデバッグ制御方法について、図2のフロー図を参照して詳細に説明する。

【0014】まず、ステップ21で、ホストコンピュータ11からデータ送受信バス101を介してデバッグ制御データをデバッグ制御装置12のデータ入出力部16に送信する。

【0015】次にステップ22で、デバッグ制御装置12は、受信したデバッグ制御データをマイクロプロセッサA1, A2...Anが内蔵するデバッグ機能制御部B1, B2...Bnにおいて認識可能な信号に変換する。ステップ21はデバッグ制御信号変換部13で実行される。

【0016】次にステップ23で、デバッグ制御装置12は、デバッグ制御データの内容からデバッグ制御要求されたマイクロプロセッサを認識して抽出し、制御データ出力部17および個別デバッグ制御信号線104-1, 104-2...104-nを介してデバッグ制御要求されたマイクロプロセッサの制御部へ対して並列にデバッグ制御データを同時送信する。ステップ23は制御データ管理部14で実行される。デバッグ制御データがA1, A2...Anの全てのマイクロプロセッサに対してデバッグ制御要求されたものであれば、全てのマイクロプロセッサに対してデバッグ制御データを同時に送信し、デバッグ制御部B1, B2...Bnのいずれかに対してデバッグ制御要求されたものであれば、要求されたマイクロプロセッサの制御部に対してのみデバッグ制御データを送信する。

【0017】次にステップ24で、デバッグ制御要求されたマイクロプロセッサのデバッグ機能制御部は、受信したデバッグ制御データに基づいてマイクロプロセッサ

のデバッグ制御を実行し、マイクロプロセッサ内部のデバッグ制御実行結果である個別デバッグ制御結果データをデバッグ制御装置12へ送信する。

【0018】次にステップ25で、デバッグ制御装置12は、デバッグ制御要求されたマイクロプロセッサから送信された個別デバッグ制御結果データを並列に同時受信してデバッグ制御結果データを作成する。個別デバッグ制御結果データが複数であるときにはこれらをまとめてデバッグ制御結果データを作成する。ステップ25は制御結果データ管理部15で実行される。

【0019】次にステップ26で、デバッグ制御装置12は、デバッグ制御結果データをホストコンピュータ11で認識可能な信号に変換してデータ入出力部16およびデータ送受信バス101を介してホストコンピュータ11へ送信する。ステップ26はデバッグ制御信号変換部13で実行される。

【0020】次にステップ27で、ホストコンピュータ11は、変換されたデバッグ制御結果データを受信し、要求したデバッグ制御に対する実行結果を得る。

【0021】なお、本発明を適用するに当たって、デバ
20 ッグ対象となるマイクロプロセッサA1～Anは、図3
の従来例におけるデバッグ対象マイクロプロセッサC1
～Cnとまったく同一のものでよく、内部に搭載されて
いる既存のデバッグ制御機能の変更を必要としないの
で、従来例からの移行が容易である。

【0022】また、図2において、ホストコンピュータ11とデバッグ対象マイクロプロセッサA1～Anの間で信号変換の必要がない場合にはステップ22およびステップ26を省略することが可能である。

【0023】

【発明の効果】以上説明したように、本発明を適用することにより、デバッグ対象のマイクロプロセッサのうちホストコンピュータから指定されたデバッグ制御処理対象のマイクロプロセッサに対してデバッグ制御装置から同時に並列にデバッグ制御データが送ることができ、また、デバッグ制御処理対象のマイクロプロセッサから同

時に並列にデバッグ制御結果データを送ることができる
ので、デバッグ対象のマイクロプロセッサが複数である
ときにも、デバッグ対象のマイクロプロセッサが1個で
あるときと同等の処理時間で高速にデバッグ制御処理で
きるという顕著な効果が生じる。

【図面の簡単な説明】

【図1】本発明のデバッグ制御装置を備える複数マイク
ロプロセッサのデバッグシステムの全体ブロック図であ
る。

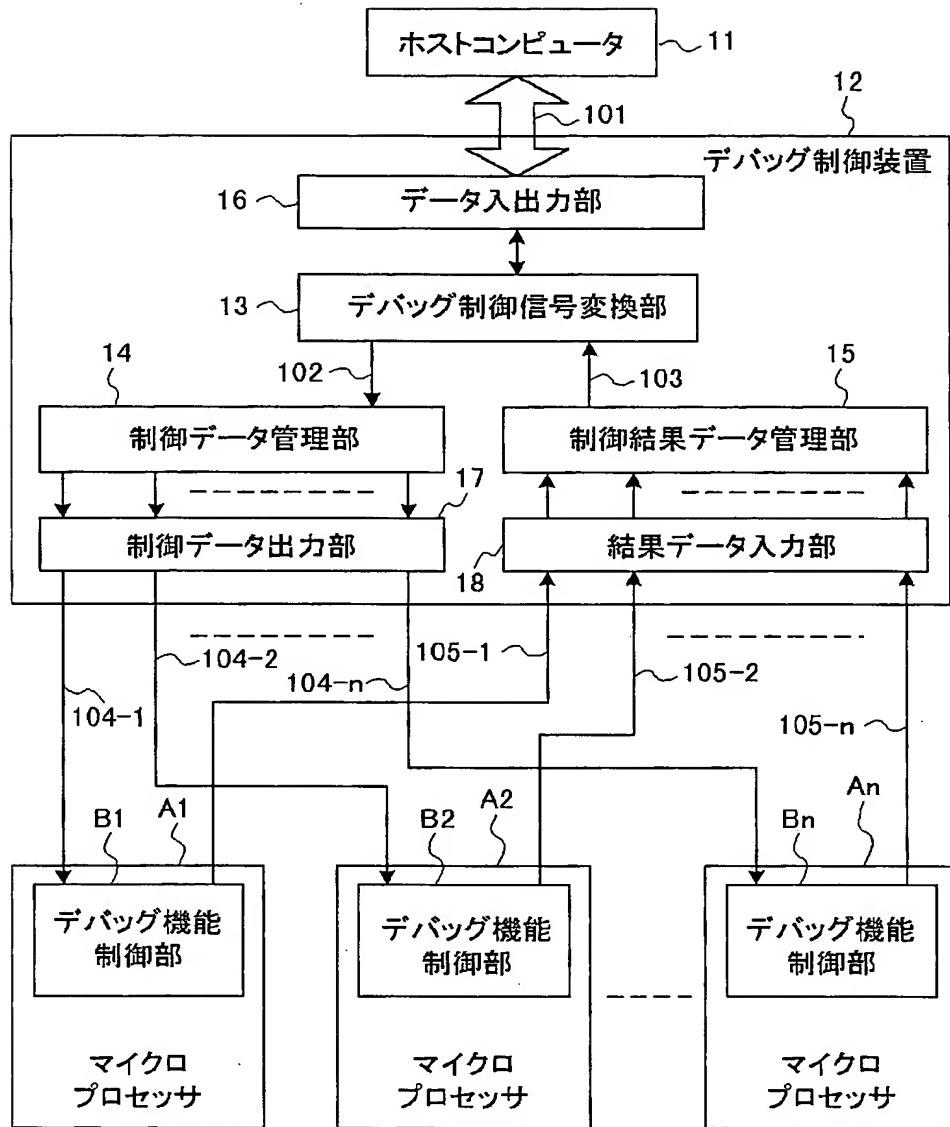
【図2】本発明のデバッグ制御装置によるデバッグ制御
方法のフロー図である。

【図3】従来の複数マイクロプロセッサのデバッグシス
テムのブロック図である。

【符号の説明】

11, 11	ホストコンピュータ
12	デバッグ制御装置
13,	デバッグ制御信号変換部
14	制御データ管理部
15	制御結果データ管理部
16	データ入出力部
17	制御データ出力部
18	結果データ入力部
101, 301	データ送受信バス
102	デバッグ制御信号線
103	デバッグ結果信号線
104-1, 104-2, 104-n	個別デバ グ制御信号線
105-1, 105-2, 105-n	個別デバ グ結果信号線
302-1, 302-2, 302-(n+1)	デバ グ制御信号線
A1, A2, An, C1, C2, Cn	デバッグ対象 マイクロプロセッサ
B1, B2, Bn, D1, D2, Dn	デバッグ機能 制御部

【図1】



101: データ送受信バス

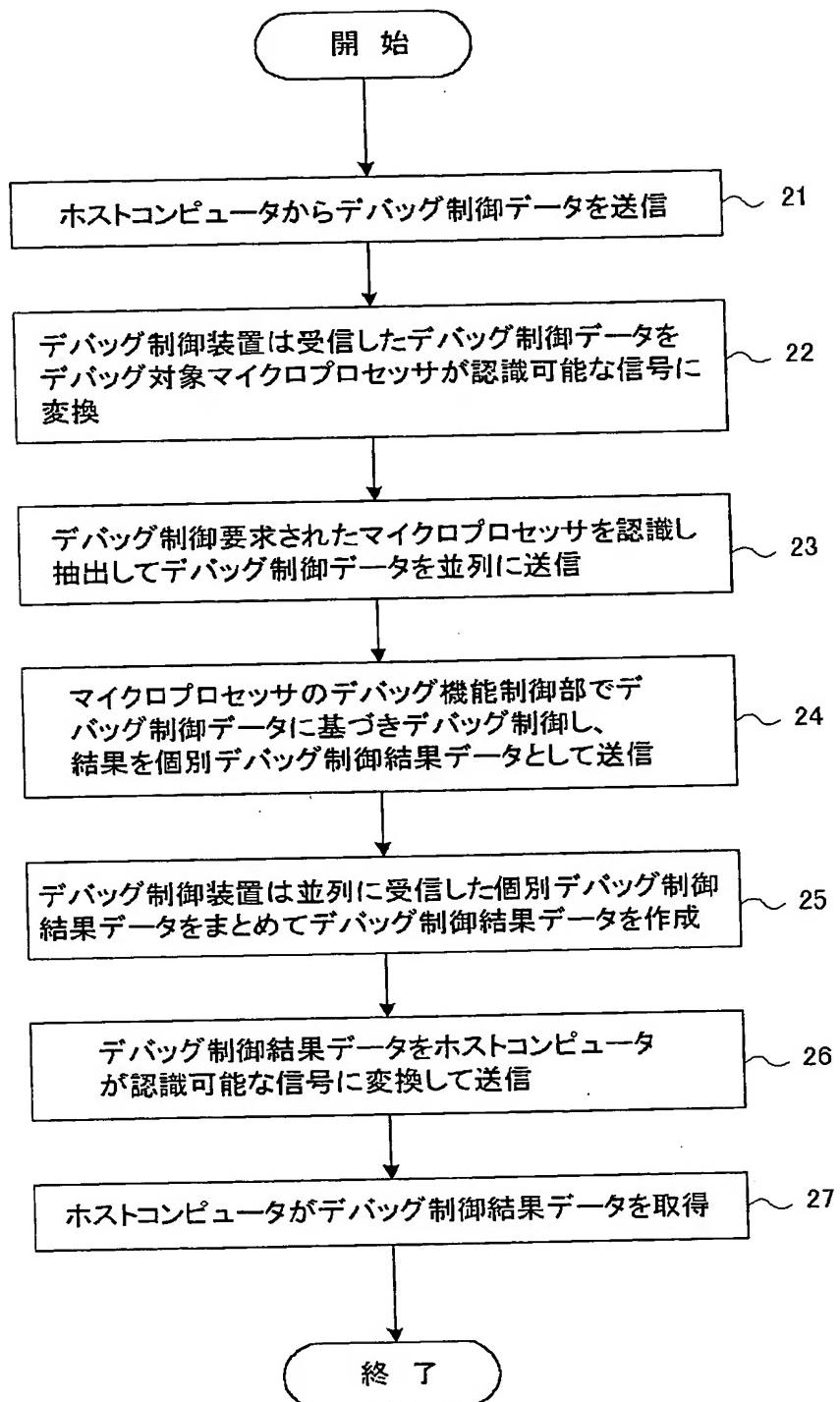
102: デバッグ制御信号線

103: デバッグ結果信号線

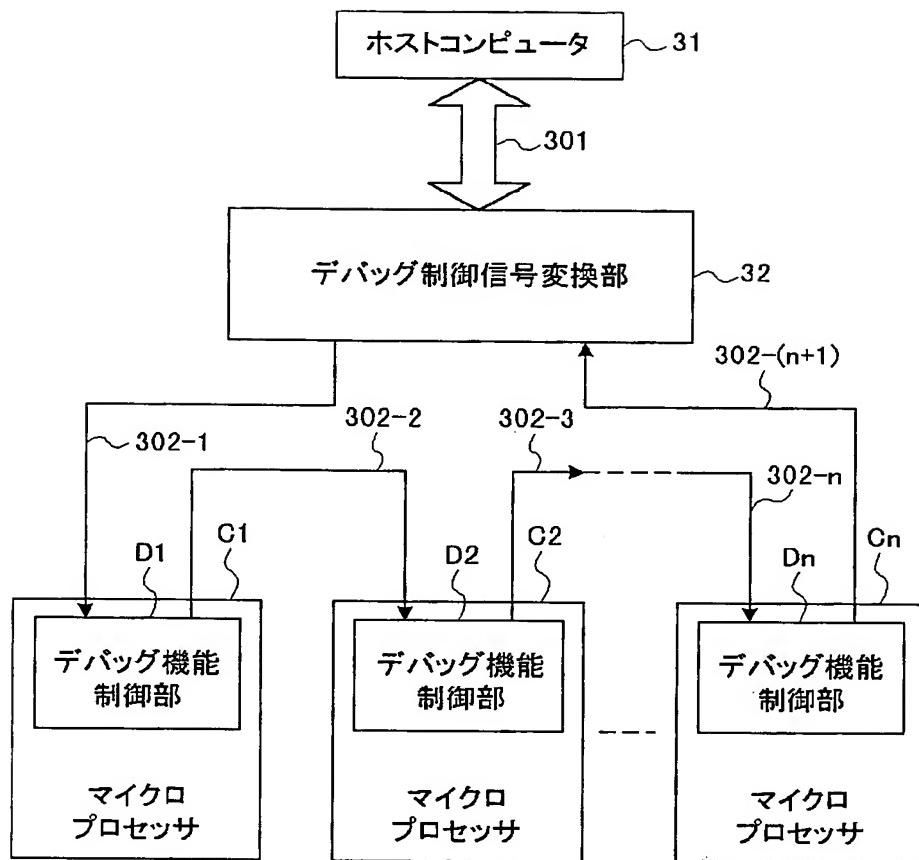
104-1, 104-2, 104-n: 個別デバッグ制御信号線

105-1, 105-2, 105-n: 個別デバッグ結果信号線

【図2】



【図3】



301: データ送受信バス

302-1, 302-2, 302-n, 302-(n+1): デバッグ制御信号線